

PACS numbers: 72.20.Dp, 72.80.Ey, 85.30.De, 85.30.Pq, 85.30.Tv, 85.40.Bh

Физика нанотранзисторов: устройство, метрика и управление MOSFET

Ю. А. Кругляк

*Одесский государственный экологический университет,
ул. Львовская, 15,
65016 Одесса, Украина*

Транзистор является ключевым элементом практически любого электронного прибора. Открытия транзистора в 1947 году и интегральных схем в 1958 году явились началом революционных преобразований всей электроники. В ходе развития полупроводниковой технологии число транзисторов в интегральных схемах ежегодно удваивалось. Эта тенденция, сопровождаемая непрерывным уменьшением размера транзисторов, продолжалась приблизительно с одинаковым темпом более 50 лет. Теория MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor — МОП/МДП-транзистор с изолированным затвором) была сформулирована в 60-х годах прошлого века. Тогда длина канала проводимости транзистора была около $10\text{ мкм} = 10000\text{ нм}$. В ходе становления полупроводниковой технологии размеры транзистора неуклонно уменьшались, всё сильнее стала ощущаться потребность в новых физических моделях для их описания. К концу XX века размеры транзисторов достигли наномасштаба, а сам нанотранзистор стал первым среди всех наноразмерных электронных устройств объектом крупномасштабного промышленного производства. Сегодня длина канала проводимости транзистора приблизилась к 10 нм , что на три порядка меньше, чем в первых MOSFET. Задача данной серии обзоров обсудить физические модели и принципы, лежащие в основе функционирования наноразмерных MOSFET и основанные как на привычном традиционном подходе «сверху–вниз», так и на более современном подходе, берущем свое начало ещё в работах Рольфа Ландауэра, предложившего модель упругого резистора задолго до её экспериментального подтверждения для нанопроводников, а также Суприо Датта и Марка Лундстрёма, переосмысливших эту модель, придавших ей нынешнее звучание и доказавших применимость её к электронным устройствам как наноскопическим, так и микро- и макроскопическим произвольной размерности ($1D$, $2D$ и $3D$) и работающим в баллистическом, квазibalлистическом и диффузионном режимах.

Транзистор є ключовим елементом практично будь-якого електронного приладу. Відкриття транзистора у 1947 році й інтегральних схем у 1958

році стали початком революційного перетворення всієї електроніки. Протягом розвитку напівпровідникової технології число транзисторів в інтегральних схемах щорічно подвоювалося. Це подвоєння числа транзисторів, супроводжуване безперервним зменшенням їхнього розміру, тривало приблизно з однаковим темпом понад 50 років. Теорію MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor — МОП/МДП-транзистор з ізольованою закривкою) було сформульовано в 60-х роках минулого століття. Тоді довжина каналу провідності транзистора була близько $10\text{ мкм} = 10000\text{ нм}$. В ході становлення напівпровідникової технології розміри транзистора неухильно зменшувалися, все сильніше стала відчуватися потреба в нових фізичних моделях для їх опису. До кінця XX століття розміри транзисторів сягнули наномасштаба, а сам нанотранзистор став першим серед всіх нанорозмірних електронних пристроїв об'єктом великомасштабного промислового виробництва. Сьогодні довжина каналу провідності транзистора наблизилася до 10 нм , що на три порядки менше, ніж у перших MOSFET. Завдання даної серії оглядів обговорити фізичні моделі та принципи, що лежать в основі функціонування нанорозмірних MOSFET і ґрунтуються як на звичному традиційному підході «зверху–вниз», так і на більш сучасному підході, що бере свій початок ще в роботах Рольфа Ландауера, який запропонував модель пружнього резистора задовго до його експериментального підтвердження для нанопровідників, а також Супріо Датта та Марка Лундстрома, які переосмислили цей модель, надавши йому нинішнє звучання та довівши застосовність його щодо електронних пристроїв як наноскопічних, так і мікро- й макроскопічних довільної вимірності ($1D$, $2D$ і $3D$) та працюючих у балістичному, квазібалістичному та дифузійному режимах.

The transistor is the key element of almost any electronic device. The discoveries of the transistor in 1947 and integrated circuits in 1958 were the beginning of the revolutionary transformation of whole electronics. In the course of the development of semiconductor technology, the number of transistors in integrated circuits had been doubled annually. This doubling of the number of transistors, accompanied by a continuous decrease in their size, continued at approximately same rate during more than 50 years. The MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) theory was formulated in the 1960s. Then, the length of the transistor conduction channel was about $10\text{ }\mu\text{m} = 10\,000\text{ nm}$. During the development of semiconductor technology, the dimensions of the transistor became steadily decreasing, and the needs for new physical models for their description became increasingly felt. By the end of the 20th century, transistor sizes had reached a nanoscale, and the nanotransistor itself was the first of all nanoscale electronic devices to be the object of mass industrial production. Today, the length of the transistor conduction channel has approached 10 nm that is three orders of magnitude lower than in the first MOSFET. The task of this series of reviews is to discuss the physical models and principles underlying the functioning of nanoscale MOSFETs and based on both the traditional 'top-down' approach and a more modern approach originating in the works of Rolf Landauer, who proposed the model of an elastic resistor long before its experimental confirmation for the nanoconductors, as well as of Suprio Datta and Mark Lundstrom, who rethought this model, gave it the current sound and proved its applicability

to electronic devices as nanoscopic, micro- and macroscopic ones of arbitrary dimensions (1D, 2D and 3D) and operating in ballistic, quasi-ballistic, and diffusion modes.

Ключевые слова: наноэлектроника, полевой транзистор, вольт-амперные характеристики, метрика транзисторов, управление транзисторами, виртуальный источник.

Ключові слова: наноелектроніка, польовий транзистор, вольт-амперні характеристики, метрика транзисторів, управління транзисторами, віртуальний витік.

Keywords: nanoelectronics, field-effect transistor, current-voltage characteristics, transistor metrics, transistor control, virtual source.

(Получено 9 мая 2018 г.)

1. ВВЕДЕНИЕ

Изобретение транзистора считают важнейшим открытием XX века. Транзисторы используются в электронной схеме практически любого электронного прибора. Миллиарды транзисторов содержатся в наших смартфонах и планшетах, в настольных компьютерах и суперкомпьютерах, во всех разнообразных гаджетах, без которых мы уже не можем представить себе XX век. Нанотранзистор представляет большой интерес и сам по себе (рис. 1).

Электроны в MOSFET движутся от истока S по проводящему каналу и выходят из стока D . Соответствующий ток I_D контролируется затвором G , изолированным от канала проводимости диэлектрической прослойкой толщиной уже менее 2 нм. Если длина канала проводимости к концу второго тысячелетия составляла около 100 нм, то сегодня она уже приближается к 10 нм.

Функционирование MOSFET интересно с познавательной точки зрения. На рисунке 2 показана вольт-амперная характеристика (ВАХ) MOSFET.

Такое электронное устройство как MOSFET полезно в качестве элемента в различных электронных схемах. Они могут выполнять задание цифрового коммутатора (ON/OFF) или, например, аналогового усилителя входных сигналов.

2. НЕМНОГО ИЗ ИСТОРИИ МИКРО- И НАНОЭЛЕКТРОНИКИ

Электронная схема любого электронного прибора содержит взаимосвязанные электронные компоненты и устройства. Сопротивления, конденсаторы и дроссели — это очень простые электронные компоненты, однако, электронные схемы нуждаются в нелинейных

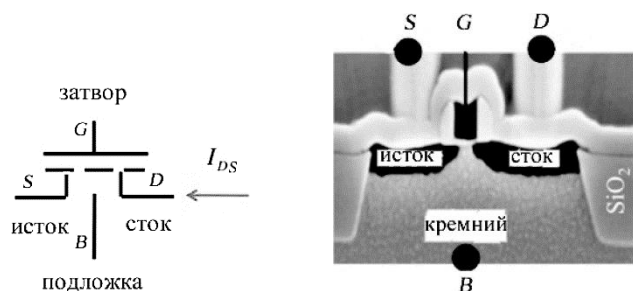


Рис. 1. Si-MOSFET. Слева показано общепринятое в англоязычной литературе обозначение транзистора с расшифровкой контактов — исток S /Source, сток D /Drain, затвор G /Gate и подложка B /Body; пунктирной линией показан токопроводящий канал. Справа показана микрограмма сечения MOSFET, полученная на сканирующем электронном микроскопе (Texas Instruments, 1997), на которой хорошо видны все контакты и диэлектрическая прослойка, изолирующая затвор G от канала проводимости.¹

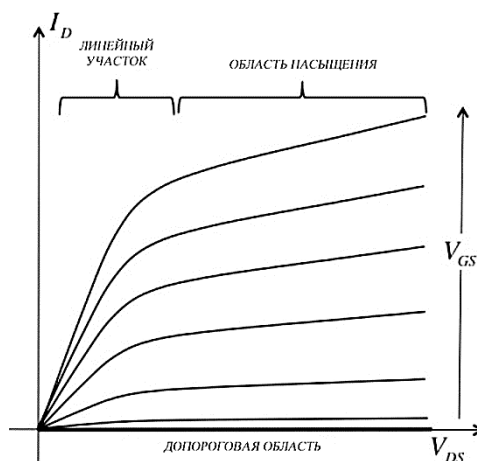


Рис. 2. Вольт-амперные характеристики n -MOSFET. По вертикальной оси откладывается ток I_D , текущий от стока D к истоку S , а по горизонтальной оси — напряжение между ними V_{DS} . Разные характеристики соответствуют разным значениям напряжения V_{GS} на затворе G . Показаны два важных участка послепороговой области — линейный участок и область насыщения. Максимальное напряжение, прилагаемое между затвором G и стоком D , есть напряжение питания V_{DD} . Небольшой ток утечки в допороговой области на линейном участке I_D не заметен.²

устройствах, простейшим из которых может служить такой электронный элемент как диод, обладающий различной проводимостью в зависимости от направления электрического тока.

Первым применением полупроводниковых диодов в начале XX

века стало обнаружение радиосигналов. Эти кристаллические детекторы были очень капризны и вскоре были заменены вакуумными ламповыми детекторами, содержащими катод прямого накала и металлический анод, при подаче на который положительного потенциала электроны с катода притягивались к аноду и шёл ток.

Вскоре появились вакуумные триоды, а затем — и пентоды. При помещении между катодом и анодом металлической сетки ток можно было контролировать путём подачи небольшого потенциала на сетку, усиливая тем самым детектируемый сигнал. Широкое применение вакуумных ламп революционизировало технику связи и привело к созданию первых электронных вычислительных машин, однако, с вакуумными лампами было несколько серьёзных проблем — они были громоздкими, хрупкими и слишком энергоёмкими.

В 1925 году львовянин по происхождению Юлий Лилиенфельд [1], позже — американский физик, запатентовал твёрдотельную замену вакуумному триоду MESFET (Metal-Semiconductor Field-Effect Transistor — полевой транзистор с контактом металл–полупроводник (диодом Шоттки) в качестве затвора). Его твёрдотельный MESFET был меньше вакуумного триода по размерам, был более надёжный и потреблял меньше энергии. Полупроводниковая технология в то время была ещё недостаточно развита, чтобы конкурировать с промышленным производством вакуумных ламп, однако, к концу II Мировой войны в Телефонной лаборатории Белл уже начались серьёзные технологические исследования по твёрдотельной замене вакуумных ламп [2]. В результате, в декабре 1947 года появился точечный биполярный транзистор. Со временем все технологические проблемы, связанные с производством полевых транзисторов, были преодолены, и сегодня MOSFET является основным полевым транзистором в любых электронных устройствах [3].

К 1960 году освоили технологию производства нескольких транзисторов в виде единой электронной схемы на кремниевой подложке. Гордон Мур в 1965 году заметил, что число транзисторов в таких интегральных схемах удваивается с каждой новой технологической генерацией (закон Мура) [4] — вначале ежегодно, затем каждые полтора года. Он предсказал, что такое удвоение числа транзисторов в чипе сохранится и далее в течение ещё некоторого времени, но даже он не мог представить себе, что подобное удвоение продлится более 50 лет [5].

Удвоение числа транзисторов на интегральной схеме сопровождалось неуклонным уменьшением их размеров. Вначале размеры транзисторов измерялись в микрометрах, и электроника стала именоваться микроэлектроникой. Физики разработали простые математические модели транзисторов [6–9], которые надёжно описывали все функции транзистора и были достаточны для схемных и системных дизайнеров. Уточнение и дальнейшее развитие этих моделей происходило по мере совершенствования

микросистемных технологий [10, 11]. С каждой технологической генерацией размеры транзисторов уменьшались в $\sqrt{2}$ раз, так что площадь, занимаемая транзистором, уменьшалась в 2 раза, и число транзисторов в чипе удваивалось. В районе 2000 года длина канала проводимости в транзисторах достигла 100 нм, микроэлектроника стала наноэлектроникой, и нанотранзистор стал знаменем нанотехнологической революции. К сегодняшнему дню длина канала проводимости уменьшилась в 10 раз и вопрос сейчас звучит следующим образом: «Насколько современная технология позволит сделать канал проводимости менее 10 нм?».

После преодоления нанометрового порога замеры всех электрофизических характеристик нанотранзисторов существенно не изменились. Однако кое-что существенное таки изменилось — другой стала физика переноса электронов от истока до стока. Изложению этой новой физики транспортных явлений в нанотранзисторах посвящаются предлагаемые вниманию читателя обзорные исследования.

3. О ФИЗИКЕ НАНОТРАНЗИСТОРОВ

В подавляющем большинстве разнообразных транзисторов их работа контролируется высотой энергетического барьера путём изменения прикладываемого напряжения на затворе. Этот барьер препятствует движению электронов от истока к стоку. Путём изменения напряжения V_{GD} между затвором G и стоком D можно менять высоту этого энергетического барьера и таким образом контролировать ток по каналу проводимости транзистора.

Анализ работы MOSFET обычно начинается с уравнения

$$I_{DS} = W |Q(V_{GS}, V_{DS})| \langle v \rangle, \quad (1)$$

где W — ширина канала проводимости в направлении, перпендикулярном движению электронов, Q — это подвижный электронный поверхностный заряд, $\langle v \rangle$ есть средняя скорость движения электронов. Построение математической модели работы транзистора сводится к физической трактовке электростатики (Q) и транспорта (v). В то время как дизайн и трактовка электростатики транзистора мало изменились за последние несколько десятилетий, физическая природа и характер переноса электронов существенно менялись по мере того, как длина канала проводимости транзистора становилась всё меньше и меньше.

Краеугольным камнем традиционной физики полупроводников является уравнение дрейфа-диффузии

$$J_x = n_s q \mu E_x + q \bar{D} \frac{dn_s}{dx}, \quad (2)$$

которое утверждает, что плотность тока в однородном полупроводнике в направлении движения электронов пропорциональна электрическому полю E_x , а в его отсутствие ток обеспечивается электронами, диффундирующими навстречу градиенту концентрации электронов, где n_s есть плотность электронов, q — величина заряда электрона, μ — подвижность электронов, \bar{D} — коэффициент диффузии. Хотя большинство учебников по физике полупроводников начинается с уравнения (2), нет уверенности в том, что предположения, которые делаются при выводе этого уравнения, остаются в силе применительно к нанопроводникам. Действительно, полуклассическое [12] и квантовое [13] моделирование показали, что транспорт электронов в наноразмерных проводниках хотя и оказывается весьма сложным явлением, но, вместе с тем, и более простым по сравнению с транспортом в массивных проводниках.

Новый подход к описанию транспорта электронов в виде модели упругого резистора был предложен Ландауэром ещё в 1957 году [14], задолго до её экспериментального подтверждения в нанопроводниках. В этой модели вместо (2) ток вычисляется по формуле

$$I = \frac{2q}{h} \int T(E) M(E) (f_1(E) - f_2(E)) dE, \quad (3)$$

где $M(E)$ — число мод (каналов) при значении энергии E , доступных для проводимости, $f_1(E)$ и $f_2(E)$ — равновесные функции Ферми на истоке и стоке, $T(E)$ — коэффициент прохождения. Если допустимо сравнивать канал проводимости в нанотранзисторе с широкополосным шоссе, то число мод аналогично числу полос на шоссе, а коэффициент прохождения лежит в области между нулём и единицей, т.е. является мерой вероятности того, что электрон, впрыснутый истоком, окажется на стоке. Для массивных проводников уравнение (3) сводится к (2) и оно пригодно для нанопроводников, применительно к которым недостаточно ясно, как пользоваться уравнением (2).

Протекание тока рассматривалось до сих пор только полуклассически. Другими словами, электроны рассматривались лишь как частицы, а их квантово-механическая природа учитывалась опосредовано через зонную структуру проводящего канала введением понятия эффективной массы электрона. Однако, по мере дальнейшего уменьшения длины канала проводимости, всё настоятельнее требуется в явном виде учесть квантовую природу электронов. Можно ожидать, что квантово-механические эффекты станут играть важную роль, когда потенциальная энергия начнёт меняться быстро в масштабе де-бройлевской длины волны электрона. Простая оценка де-бройлевской длины волны электронов в термически равновесном образце Si даёт приблизительно 10 нм, что не намного меньше реаль-

но достигнутой на практике длины канала проводимости при массовом производстве нанотранзисторов. В течение последних двух десятилетий были разработаны надёжные и достаточно мощные модели квантового транспорта электронов применительно к нанопроводникам [13, 15–17]. Чем больше удаляется длина канала проводимости от 10 нм в сторону уменьшения, тем всё важнее становится учитывать квантово-механическую природу транспорта электронов; однако, при длине канала проводимости более 10 нм, как мы убедимся, полуклассическая модель работает достаточно надёжно [18].

4. ФИЗИЧЕСКАЯ СТРУКТУРА MOSFET

Наша конечная цель — объяснить и математически описать физику процессов, происходящих в транзисторе, т.е. увязать токи, протекающие в транзисторе, с электрическими потенциалами, подаваемыми на контакты (терминалы) транзистора (рис. 1). Вначале полезно рассмотреть транзистор как «чёрный ящик», формализовано, не вникая в физику происходящих в транзисторе процессов.

Ток, текущий между терминалами S и D , контролируется электрическим потенциалом, подаваемым на терминал G (рис. 1). В некоторых вариантах транзисторов этот терминал может использоваться для подачи тока. Иногда используется и терминал B . Разработано много вариантов транзисторов [19], но все они имеют три или четыре терминала. Терминалы могут называться по-разному в зависимости от типа транзистора.

Мы сосредоточимся на кремниевых полевых транзисторах Si-MOSFET и на полевых транзисторах с высокой подвижностью электронов III–V HEMT (High Electron Mobility Transistor), однако, развиваемые далее подходы применимы ко всем типам полевых транзисторов.

Сначала рассмотрим устройство n -канального Si MOSFET. В кремниевой пластине p -типа формируется канал проводимости n -типа с двумя омическими контактами истока S и стока D . Контактные области S и D сильно n -допированы. По проводящему каналу n -типа движется поток электронов от истока к стоку. В верхней части пластины изготавливается омический контакт затвора G . Аналогичный контакт изготавливают в нижней части подложки B .

В полевом транзисторе n -Si MOSFET канальный ток управляется электрическим полем, возникающим при приложении электрического напряжения между затвором и стоком.

На рисунке 3 показано сечение и вид сверху n -Si MOSFET.

Под металлическим контактом затвора находится тонкий слой SiO_2 , а под ним — узкая зона p -типа. Длина канала проводимости L является критическим параметром транзистора; она же определяет фактический размер транзистора на чипе и скорость срабатывания

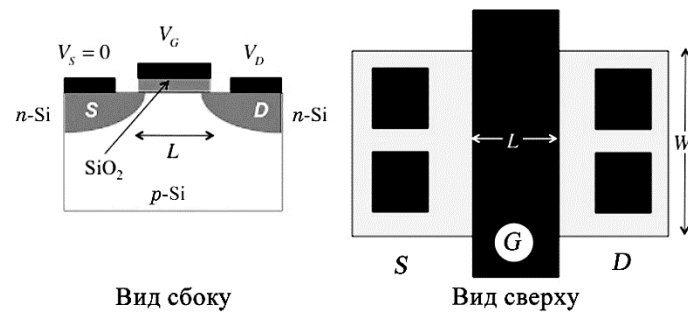


Рис. 3. *n*-Канальный Si MOSFET: вид сбоку и сверху. Схематически показаны контакты истока и стока (черные квадраты) и затвора (черный прямоугольник).³

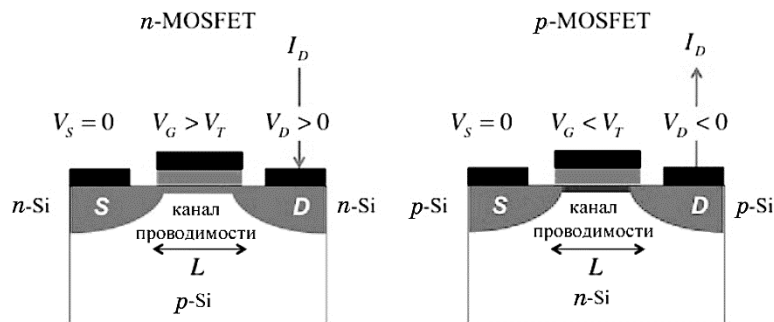


Рис. 4. Сравнение *n*-MOSFET и *p*-MOSFET. Обратим внимание, что для *n*-MOSFET $V_{DS}, V_{GS} > 0$, а для *p*-MOSFET $V_{DS}, V_{GS} < 0$. Ток I_D течёт от *D* к *S* в случае *n*-MOSFET и от *S* к *D* — в случае *p*-MOSFET.⁴

транзистора: чем меньше L , тем больше эта скорость. Ширина канала проводимости W определяет величину тока по каналу. Для каждой технологической генерации производства транзисторов значения L и W проектируются таким образом, чтобы функционирование транзисторов было максимально эффективным для $L \geq L_{\min}$, некоторого минимального значения длины канала проводимости.

В *n*-канальном MOSFET ток обеспечивается электронами в зоне проводимости. Как показано на рис. 4, возможно создать аналогичный транзистор *p*-MOSFET, проводимость которого также обеспечивается электронами, но в валентной зоне, что мысленно визуализируется с помощью «дырок» в валентной зоне. *p*-Канальный MOSFET конструируется на *n*-Si подложке. Контактные области *S* и *D* сильно *p*-допированы. Обратим внимание, что $V_{DS} < 0$ для *p*-MOSFET и что требуется $V_{GS} < 0$ для перевода *p*-MOSFET в режим «ON». Ток течёт из стока, а не в сторону истока, как в *n*-MOSFET. Современная электроника конструируется по технологии CMOS

(Complementary MOS — КМОП/комплементарная МОП-структура), в которой каждый n -транзистор спарен с p -транзистором.

В прикладной схемотехнике транзисторы обычно конфигурируются воспринимать входное напряжение и работать при определенном выходном напряжении. Входное напряжение измеряется между двумя входными терминалами, а выходное напряжение — между двумя выходными терминалами. Входной ток это ток, который входит в один из двух входных терминалов и выходит из другого входного терминала, а выходной ток это ток, который входит в один из двух выходных терминалов и выходит из другого выходного терминала. В схемотехнике, по договорённости, ток считается положительным, если он входит в терминал, так что ток истока I_D в n -MOSFET (рис. 4) — положительный, а ток истока I_D в p -MOSFET — отрицательный. Поскольку мы располагаем только тремя терминалами (терминал подложки B — особый: он позволяет настраивать операционные характеристики транзистора), то один из терминалов должен быть общим либо со входом, либо с выходом. Есть три возможных схемы включения транзистора — с общим истоком, с общим стоком и с общим затвором.

На рисунке 5 показан n -MOSFET, включённый по схеме с общим истоком.

В этом случае постоянным выходным током является ток от стока к истоку I_{DS} , а постоянным выходным напряжением является напряжение между стоком и истоком V_{DS} . Постоянным входным напряжением является напряжение между затвором и истоком V_{GS} . Этот постоянный входной ток обычно очень мал, и им, как правило, пренебрегают.

Нас будут, в первую очередь, интересовать вольт-амперные характеристики (ВАХ) транзисторов. Поясним используемую терминологию. Два типа ВАХ особенно интересны: выходные и пере-

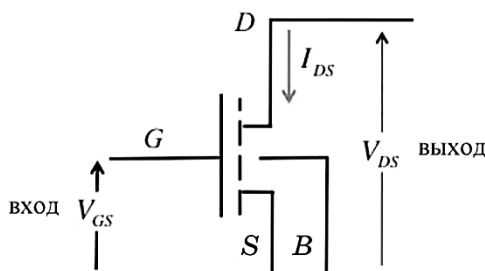


Рис. 5. n -MOSFET, включённый по схеме с общим истоком. Входным напряжением является V_{GS} , а выходным — V_{DS} . Выходным током является I_{DS} , а ток затвора обычно пренебрежимо мал, так что входной постоянный ток предполагается нулевым.⁵

даточные характеристики. Для построения выходных ВАХ откладывают выходной ток I_{DS} против выходного напряжения V_{DS} при постоянном значении входного напряжения V_{GS} . В случае передаточных ВАХ откладывают выходной ток I_{DS} против входного напряжения V_{GS} при постоянном выходном напряжении V_{DS} . Рассмотрим подробнее оба типа характеристик и поясним используемую терминологию.

5. ВОЛЬТ-АМПЕРНЫЕ ХАРАКТЕРИСТИКИ

На рисунке 6 показаны ВАХ идеального резистора. В этом случае ток пропорционален приложенному напряжению $I = V/R$, где R есть сопротивление резистора.

На рисунке 7 показана ВАХ источника тока.

Выходные характеристики транзистора выглядят как ВАХ для резистора при небольших значениях V_{DS} и как ВАХ источника тока при больших значениях выходного напряжения V_{DS} .

Выходные ВАХ n -MOSFET показаны на рис. 2. Каждая характеристика в этом семействе ВАХ соответствует определённому значению V_{GS} . Для V_{DS} , меньшего некоторого критического значения V_{DSAT} , ток пропорционален напряжению. В этой линейной (омической) области транзистор ведёт себя как резистор, сопротивление которого определяется входным напряжением V_{GS} .

В области $V_{DS} > V_{DSAT}$ (область насыщения) транзистор ведёт себя как источник тока, величина которого определяется значением V_{GS} . Ток немного увеличивается с ростом V_{DS} , что эквивалентно тому, что этот источник тока характеризуется конечным значением выходного сопротивления r_d .

Третья область функционирования транзистора — это допороговая область, для которой V_{GS} меньше некоторого критического

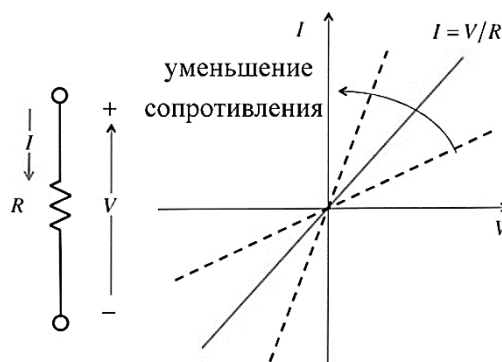


Рис. 6. Вольт-амперная характеристика идеального резистора.⁶

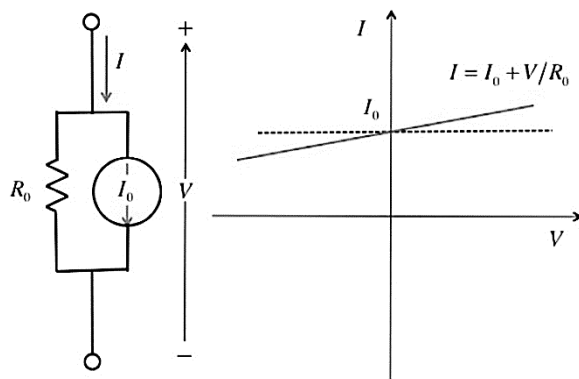


Рис. 7. Вольт-амперная характеристика источника тока. Когда ток не зависит от напряжения, его величина постоянна I_0 (пунктирная линия). В реальных источниках тока наблюдается зависимость его от напряжения, что эквивалентно включению резистора R_0 параллельно источнику тока I_0 .⁷

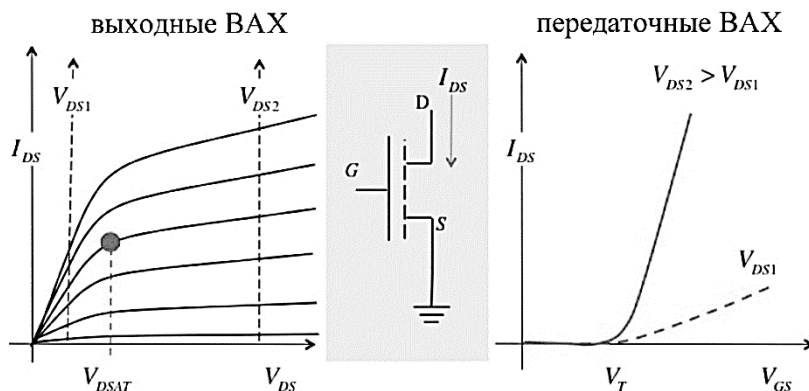


Рис. 8. Сравнение выходных ВАХ n -MOSFET, включённого по схеме с общим истоком (слева) с передаточными ВАХ этого же транзистора (справа). График, помеченный V_{DS1} на передаточных ВАХ, соответствует небольшому значению V_{DS} на выходных ВАХ слева, а помеченный V_{DS2} — большому значению V_{DS} .⁸

значения — порогового напряжения V_T . Для $V_{GS} < V_T$ ток I_{DS} очень небольшой и не виден на линейном участке.

На рисунке 8 сравниваются выходные и передаточные ВАХ для n -MOSFET. Выходные характеристики показаны слева. Зафиксируем небольшое значение V_{DS} , равное V_{DS1} , и прогоним ток I_{DS} по соответствующим значениям V_{GS} . Это даст нам передаточный график V_{DS1} среди передаточных ВАХ справа. Если возьмём большое значение V_{DS} , равное $V_{DS2} > V_{DS1}$, получим передаточную характеристику, помеченную V_{DS2} . Передаточные характери-

ки показывают, что при $V_{GS} < V_T$ ток I_{DS} очень небольшой.

Далее мы увидим, что график $\log_{10} I_{DS} \propto V_{GS}$ (рис. 11) используется для анализа тока I_{DS} в области $V_{GS} < V_T$ (рис. 8, справа).

6. МЕТРИКА MOSFET

Функционирование MOSFET можно описать с помощью следующих десяти метрических показателей:

ток I_{ON} , мкА/мкм;

линейное сопротивление R_{ON} , Ом·мкм;

выходное сопротивление r_d , Ом·мкм;

транспроводимость g_m , мкСм/мкм;

ток I_{OFF} , мкА/мкм;

допороговый разброс (Subthreshold Swing) SS , мВ/декада;

понижение барьера, индуцированное стоком (Drain-Induced Barrier Lowering), $DIBL$, мВ/В;

пороговые напряжения $V_T(\text{lin})$, $V_T(\text{sat})$, В;

напряжение насыщения на стоке V_{DSAT} , В.

Указанные единицы измерения используются чаще всего. Например, транспроводимость обычно не приводится в См/м, а даётся в единицах мкСм/мкм или мСм/мм.

Некоторые из метрических показателей транзисторов можно проиллюстрировать на выходных характеристиках n -MOSFET, включённого по схеме с общим истоком (рис. 9). Ток I_{ON} — это максималь-

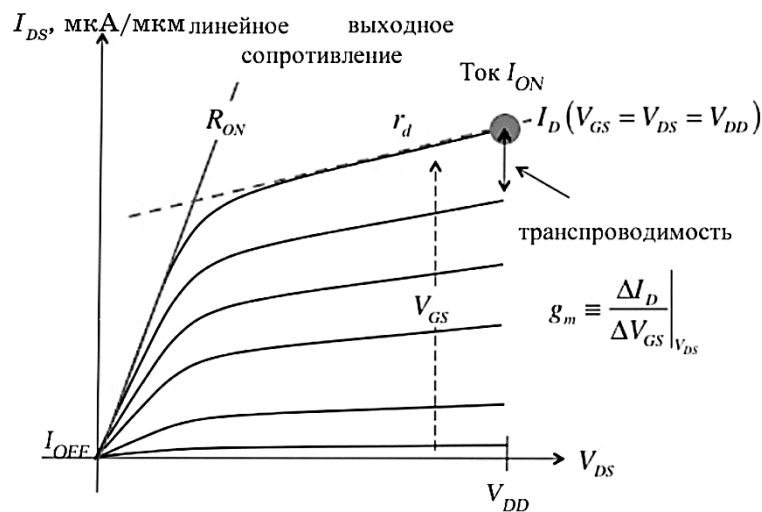


Рис. 9. Выходные характеристики n -MOSFET, включённого по схеме с общим истоком, с демонстрацией приведённых выше четырёх метрик I_{ON} , R_{ON} , r_d , g_m .⁹

ный ток стока $I_{DS}|_{V_{GS}=V_{DS}=V_{DD}}$. Ток I_{DS} обычно измеряется в мкА/мкм (или мА/мкм), поскольку он меняется линейно с шириной канала проводимости W . Линейное сопротивление — это минимальное сопротивление канала проводимости $R_{ON} = (dI_{DS}/dV_{DS})_{V_{GS}=V_{DD}}^{-1}$. Выходное сопротивление вычисляется аналогично $r_d = (dI_{DS}/dV_{DS})_{V_{GS}=V_{DD}}^{-1}$, но в области насыщения. Транспроводимость $g_m = (dI_{DS}/dV_{GS})_{V_{DS}=\text{const}}$ обычно приводится при $V_{DS} = V_{DD}$. Чтобы получить истинные значения тока стока и транспроводимости, их нужно умножить ещё на ширину W (мкм), а для получения истинных линейного и выходного сопротивлений делим их на ширину W (мкм).

Ещё три метрики можно проиллюстрировать на передаточных характеристиках n -MOSFET, включённого по схеме с общим истоком (рис. 10). Показаны две разные характеристики — для низких напряжений V_{DS} (линейная область) и для высоких V_{DS} (область насыщения). Помечен также ток I_{ON} , показанный на рис. 9. Если определить максимальный наклон обеих характеристик и пересечение соответствующих прямых (они показаны пунктиром) с осью напряжений, то найдём пороговое напряжение V_T . Обратим внимание, что есть два пороговых напряжения: одно соответствует линейной (омической) области $V_T(\text{lin})$, а другое — области насыщения $V_T(\text{sat})$, причём $V_T(\text{sat}) < V_T(\text{lin})$. Заметим также, что переход

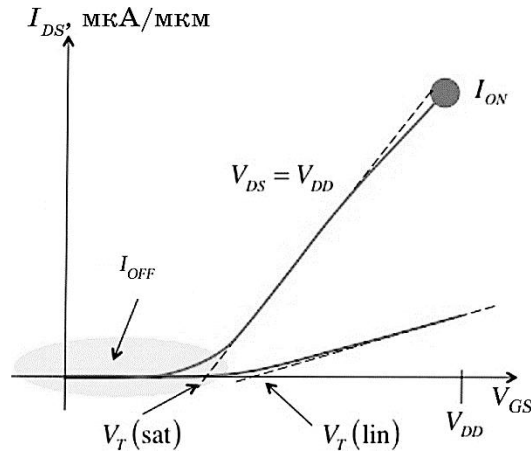


Рис. 10. Передаточные характеристики n -MOSFET, включённого по схеме с общим истоком, с демонстрацией приведённых выше трёх метрик I_{OFF} , $V_T(\text{lin})$, $V_T(\text{sat})$.¹⁰

$I_{\text{OFF}} \Rightarrow I_{\text{ON}}$ происходит постепенно и точка, в которой этот переход завершается, и есть пороговое напряжение V_T . Наконец, ток $I_{\text{OFF}} = I_{DS}|_{V_{GS}=0, V_{DS}=V_{DD}}$ фактически также показан на рис. 10, но он слишком незначительный, чтобы просматриваться в этом масштабе.

Разобраться с допороговыми характеристиками удобнее, если откладывать выходной ток I_{DS} в логарифмической шкале, как это показано на рис. 11. Оба тока $I_{\text{OFF}} = I_{DS}|_{V_{GS}=0, V_{DS}=V_{DD}}$ и $I_{\text{ON}} = I_{DS}|_{V_{GS}=V_{DD}, V_{DS}=V_{DD}}$ также показаны на этом рисунке. Допороговый ток MOSFET увеличивается экспоненциально с V_{GS} (рис. 10). Допороговый разброс SS даётся выражением

$$SS = [d(\log_{10} I_{DS}) / dV_{GS}]^{-1} \quad (4)$$

и обычно приводится в [мВ/декада]. Допороговый разброс это такое изменение напряжения на затворе (обычно в мВ), которое приводит к изменению тока I_{DS} в 10 раз. Чем меньше SS , тем меньшее напряжение на затворе необходимо для переключения транзистора из режима «OFF» в режим «ON». Позже мы узнаем, что физика подпороговой проводимости предписывает значение $SS \geq 60$ мВ/декада. У транзистора хорошего качества допороговый разброс практически одинаков как для передаточных харак-

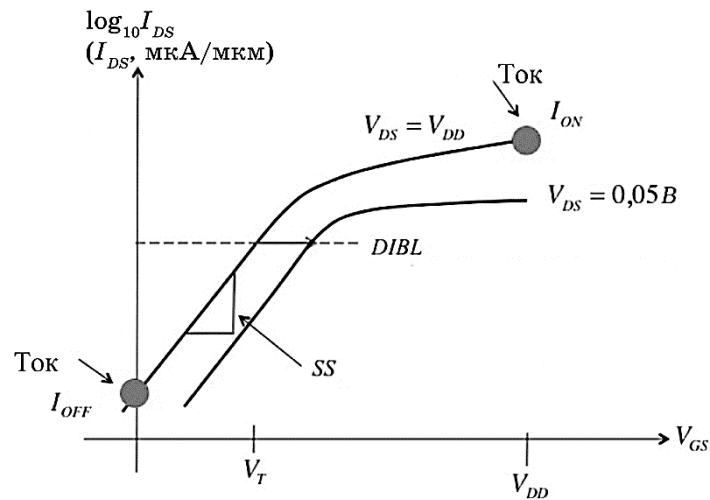


Рис. 11. Передаточные характеристики n -MOSFET, включённого по схеме с общим истоком, с демонстрацией приведённых выше ещё двух метрик SS и $DIBL$. Ток стока I_{DS} на этом рисунке отложен в логарифмической шкале.¹¹

теристик низкого, так и высокого напряжения V_{DS} (рис. 10). Часто наблюдается увеличение SS с ростом V_{DS} , что связывают с проявлением $2D$ -электростатики MOS, к детальному рассмотрению которой перейдём позже.

Подпороговые характеристики сдвигаются влево по мере роста стокового напряжения V_{DS} . Этот сдвиг связывают с эффектом понижения барьера, индуцированного стоком, известным как *DIBL*. Он определяется как горизонтальный сдвиг низко- и высоковольтных подпороговых характеристик, делённый на разницу в стоковых напряжениях. *DIBL* тесно увязан с двумя пороговыми напряжениями, показанными на рис. 11. У идеального транзистора *DIBL* — нулевой и пороговое напряжение не зависит от V_{DS} : $V_T(\text{lin}) = V_T(\text{sat}) = V_T$.

Как уже отмечалось, пороговое напряжение не является строго определённым понятием. Приблизительно можно считать его таким напряжением на затворе, при котором уже замечен стоковый ток, и есть разные подходы, как определить это напряжение. Например, можно определить его таким образом, как показано на графике $I_{DS} \propto V_{GS}$ (рис. 10). А можно поступить по-другому, как на рис. 11: выбрать небольшой стоковый ток, например, 10^{-7} А/мкм, отмеченный на этом рисунке пунктирной линией, и определить V_T как напряжение на затворе V_{GS} , при котором наблюдается этот ток. Когда приводится пороговое напряжение V_T , необходимо точно указывать, каким именно способом оно было определено.

Наконец, ещё об использованных обозначениях. На рисунках 1 и 4 ток, входящий в сток транзистора n -MOSFET, обозначен как I_D . В идеальном случае тот же самый ток вытекает из канала проводимости: $I_D = -I_S \equiv I_{DS}$. На практике имеет место некоторый ток утечки (в подложку), так что $I_D > I_S$. В дальнейшем изложении ток утечки не учитывается и предполагается, что $I_D = |I_S| \equiv I_{DS}$.

7. УПРАВЛЕНИЕ ТРАНЗИСТОРОМ

Большинство типов транзисторов управляются путём контролирования высоты энергетического барьера в результате изменения напряжения на затворе. К ним относятся полевые транзисторы MOSFET, HEMT, JFET*, а также биполярные транзисторы HBT* и BJT* [11, 20, 21]. Принципы управления транзисторами легко понять, обратившись к их зонной структуре.

Транзистор MOSFET является существенно двухмерной структурой (рис. 12). Для полного понимания функционирования транзи-

* JFET/Junction Field-Effect Transistor — полевой транзистор с управляющим p - n -переходом, HBT/Heterojunction Bipolar Transistor — биполярный гетеротранзистор, BJT/Bipolar Junction Transistor — биполярный транзистор n - p - n или p - n - p .

стора желательно, конечно, знать его многомерную зонную структуру, однако, большая часть важных деталей работы MOSFET может быть продемонстрирована с использованием только одномерных зонных диаграмм вдоль оси x .

Контактные области истока и стока n -MOSFET n -допированы, а канал проводимости — p -типа. В однородно допированном массив-

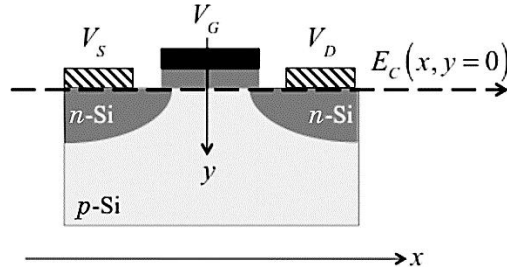


Рис. 12. Сечение n -MOSFET и система координат, используемая для графического представления энергии в зависимости от координат точки при движении от истока по каналу проводимости до стока. Ось z направлена за рисунок вдоль ширины канала проводимости W .¹²

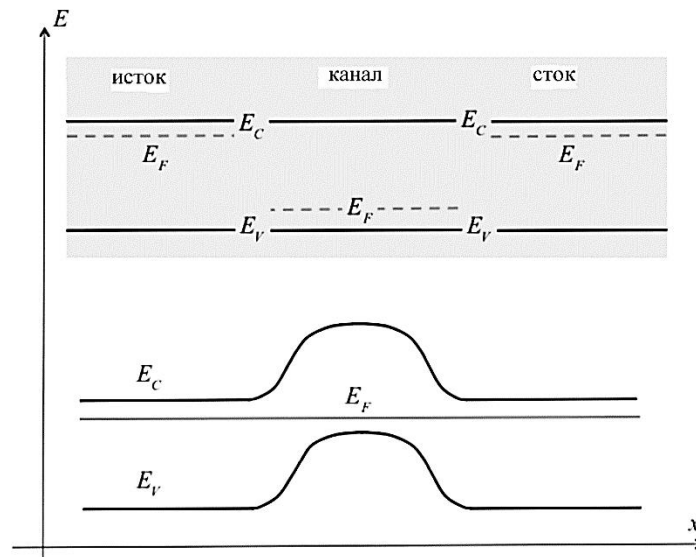


Рис. 13. Одномерные зонные диаграммы в состоянии равновесия. Наверху показаны уровни энергии разделённых истока и стока n -типа (E_C — энергия дна зоны проводимости) и канала проводимости p -типа (E_V — энергия потолка валентной зоны). Внизу показан одномерный ход энергии в состоянии равновесия, когда все три области транзистора соединены и $V_S = V_G = V_D = 0$.¹³

ном полупроводнике энергия зон не зависит от координаты с уровнем Ферми E_F вблизи дна зоны проводимости E_C для полупроводника n -типа и вблизи потолка валентной зоны E_V для полупроводника p -типа.

В верхней части рис. 13 показаны пространственно разделенные области истока и стока n -типа и канала проводимости p -типа. В разделённом состоянии в истоке и стоке $E_F \approx E_C$, а в канале проводимости $E_F \approx E_V$. Для получения одномерной зонной диаграммы транзистора в состоянии равновесия все три области нужно объединить. Примем во внимание, что электрохимический потенциал в состоянии равновесия везде должен быть одинаков ($E_F = \text{const}$).

Для выравнивания электрохимического потенциала во всех трёх областях зонные уровни энергии истока и стока должны понизиться или, что то же самое, уровни энергии валентной зоны канала проводимости должны повыситься. Выравнивание фермиевских уровней энергии происходит в результате того, что электроны перетекают с вышерасположенных фермиевских уровней истока и стока на нижерасположенный фермиевский уровень канала, в результате чего зарядовое равновесие нарушается и возникает электростатический потенциал между истоком (стоком) и каналом. Первые приобретают положительный потенциал, так называемый потенциал поля p - n -перехода, который понижает уровни энергии:

$$E_C(x) = E_{C0} - q\psi(x), \quad E_V(x) = E_{V0} - q\psi(x), \quad (5)$$

где индекс «0» показывает величину соответствующей энергии в отсутствие электростатического потенциала ψ .

Поскольку транзистор находится в равновесии, ток по каналу проводимости не течёт. Возник потенциальный барьер, разделяющий электроны в истоке от электронов в стоке. Этот энергетический барьер играет решающую роль в понимании и объяснении работы полевого транзистора. Теперь нужно понять, каким образом изменяется зонная структура транзистора в результате подачи напряжения на затвор и на сток.

Рисунок 14 показывает, что происходит с профилем зоны проводимости транзистора n -MOSFET при подаче положительного напряжения на затвор. Поскольку $V_S = V_D = 0$, фермиевские уровни энергии во всех трёх областях практически одинаковы, транзистор находится в равновесии, ток по каналу проводимости не идёт.

Терминал затвора отделён от канала проводимости в кремниевой подложке слоем диэлектрика SiO_2 , однако, положительный потенциал, подаваемый на затвор, влияет на зонную структуру полупроводника. Он увеличивает электростатический потенциал в канале, что, согласно (5), понижает зону проводимости.

Важно, что подача напряжения на затвор не смещает фермиев-

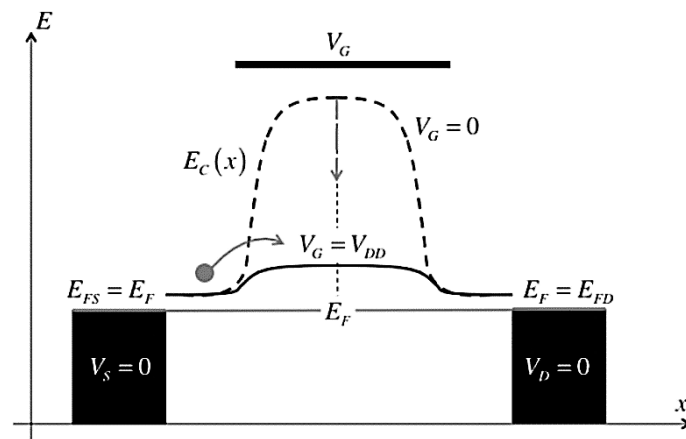


Рис. 14. Зонная структура n -MOSFET в равновесном состоянии при подаче на затвор близкого к нулю напряжения (пунктирная кривая) и значительного напряжения (сплошная кривая). Подача напряжения на затвор не нарушает равновесия, поскольку терминал затвора изолирован от канала проводимости.¹⁴

ский уровень канала проводимости. Подача положительного напряжения на затвор понижает уровень Ферми металлического терминала затвора, однако, он изолирован от подложки. Фермиевский уровень канала проводимости в подложке можно изменить, только лишь подавая напряжение на исток и/или сток, поскольку их фермиевские уровни связаны с уровнем Ферми канала проводимости.

Итак, подача потенциала на затвор просто лишь повышает или понижает потенциальный барьер между истоком и стоком. Транзистор остаётся в равновесии, ток в канале отсутствует. Тот факт, что равновесие в транзисторе не нарушается при подаче потенциала на затвор, как мы увидим позже, существенно упрощает анализ электростатики MOS.

Что происходит при подаче большого напряжения на сток показано на рис. 15. Исток заземлён, так что его фермиевский уровень не изменился по сравнению с состоянием равновесия, а положительное напряжение, поданное на сток, понизило фермиевский уровень стока на величину qV_{DS} (рис. 15).

Рассмотрим сначала тот случай, когда на затвор подаётся небольшое напряжение, а на сток — большое. Этот случай показан пунктирной линией на рис. 15. В транзисторе хорошего качества высота энергетического барьера между истоком и каналом проводимости контролируется почти исключительно напряжением, приложенным к затвору. Если напряжение на затворе невелико, барьер достаточно высокий, и лишь считанные электроны обла-

дают достаточной энергией преодолеть барьер и достичь стока. Транзистор находится в состоянии «OFF» с током $I_{DS} \approx 0$: имеет место незначительный ток утечки I_{OFF} (рис. 11).

Когда подаётся уже значительное напряжение на затвор одновременно с большим напряжением на стоке (сплошная линия на рис. 15), напряжение на затворе увеличивает электростатический потенциал в канале проводимости и понижает высоту барьера. Если барьер оказывается достаточно низким, то значительная часть электронов истока перепрыгивает барьер и движется к стоку. Транзистор находится в состоянии «ON» с максимальным током I_{ON} при $V_{GS} = V_{DS} = V_{DD}$ (рис. 9).

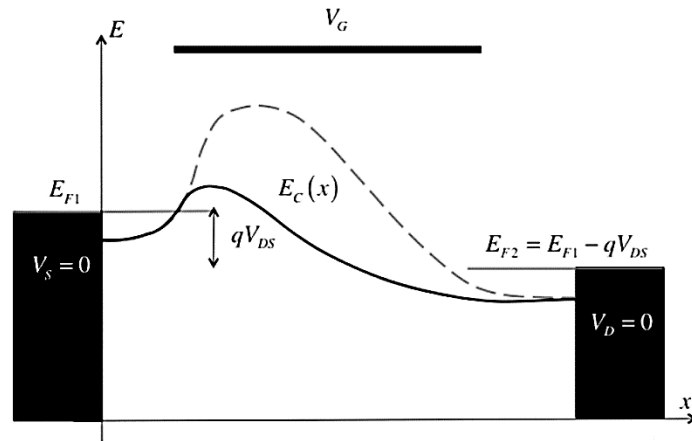


Рис. 15. Изменение зависимости $E_C(x)$ вдоль канала проводимости n -MOSFET при подаче напряжения на сток и на затвор: пунктирная линия соответствует большому значению V_D и малому V_G , а сплошная линия — большим V_D и V_G .¹⁵

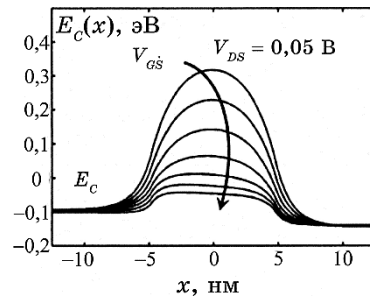


Рис. 16. Моделирование функции $E_C(x)$ для нанотранзисторов. Приложено небольшое напряжение на стоке: транзистор работает в линейном режиме. Каждый из графиков соответствует определённому значению V_{GS} , величина которого увеличивается сверху вниз [22].¹⁶

Основной принцип работы большинства типов транзисторов — управление током путём изменения высоты барьера в результате подачи напряжения на затвор. Этим фактически исчерпывается физика состояний транзистора I_{OFF} и I_{ON} (рис. 9), однако, для понимания всей вольт-амперной характеристики транзистора нужно обратиться к диаграммам зонной структуры.

На рисунке 16 показаны результаты моделирования изменения $E_c(x)$ при росте напряжения на затворе в линейной области ВАХ. Обращает на себя внимание тот факт, что при высоких значениях напряжения на затворе величина $E_c(x)$ изменяется практически линейно вдоль канала проводимости, что соответствует практически постоянному электрическому полю, как и ожидается для линейной области ВАХ, которая соответствует резистору, контролируемому напряжением на затворе (рис. 7).

Рисунок 17 демонстрирует результаты моделирования функции $E_c(x)$ для нанотранзисторов в области насыщения. По мере того, как растущее напряжение на затворе понижает барьер, электроны из истока преодолевают барьер и далее устремляются вниз по склону барьера к стоку. Этот рисунок также показывает, почему ток стока насыщается с увеличением напряжения на стоке. Всё дело в барьере между истоком и каналом, который и ограничивает ток к стоку.

Этот барьер хорошо виден на рис. 17 при самом большом из показанных значений V_{GS} , а также на более подробных рисунках 18: на кривых (б) и (г) для $V_{DS} = V_{GS} = 0,6$ В. Мы пользуемся классическим описанием транспорта электронов в нанотранзисторах с каналом проводимости длиной не менее 10 нм, что было убедительно продемонстрировано в [22–24].

При увеличении напряжения на затворе барьер между истоком и каналом проводимости не исчезает (рис. 18, г), что не позволяет расти току. Даже при весьма значительном напряжении на затворе этот небольшой барьер остаётся. Без этого барьера и управления им со стороны затвора не было бы и транзистора.

8. ВОЛЬТ-АМПЕРНАЯ ХАРАКТЕРИСТИКА MOSFET С ПОЗИЦИЙ МОДЕЛИ ТЕРМОЭЛЕКТРОННОЙ ЭМИССИИ

Описать вольт-амперную характеристику транзистора математически можно с привлечением простой модели термоэлектронной эмиссии. Рассмотрим ВАХ n -MOSFET, включённого по схеме с общим истоком (рис. 9). Суммарный ток стока есть разность двух токов — от истока к стоку (слева направо) и от стока к истоку (справа налево) с преодолением барьера в обоих направлениях:

$$I_{DS} = I_{LR} - I_{RL} . \quad (6)$$

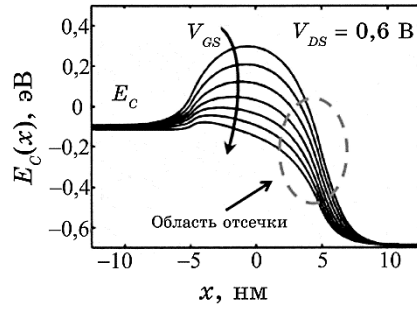


Рис. 17. Моделирование функции $E_C(x)$ для нанотранзисторов. Приложено большое напряжение на стоке: транзистор работает в области насыщения. Каждый из графиков соответствует определённому значению V_{GS} , величина которого увеличивается сверху вниз [22]. Область отсечки обсудим позже.¹⁷

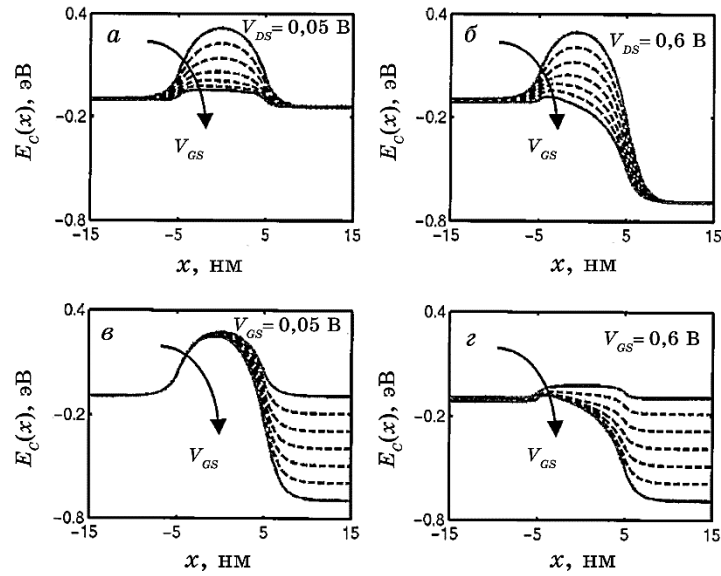


Рис. 18. Моделирование функции $E_C(x)$ для нанотранзисторов: (а) $V_{DS} = 0,05$ В, $V_{GS} \cong 0,0 \leftrightarrow 0,6$ В (рис. 16); (б) $V_{DS} = 0,6$ В, $V_{GS} \cong 0,0 \leftrightarrow 0,6$ В (рис. 17); (в) $V_{GS} = 0,05$ В, $V_{DS} \cong 0,0 \leftrightarrow 0,6$ В; (г) $V_{GS} = 0,6$ В, $V_{DS} \cong 0,0 \leftrightarrow 0,6$ В [22].¹⁸

Ток I_{LR} пропорционален вероятности преодоления барьера E_{SB} на пути электрона от истока к стоку:

$$I_{LR} \propto e^{-E_{SB}/kT}, \quad (7)$$

и аналогично для тока I_{RL} :

$$I_{RL} \propto e^{-E_{DB}/kT}, \quad (8)$$

где E_{DB} есть барьер на пути электрона от стока к истоку. Поскольку подача напряжения на сток понижает E_C на стоке, то $E_{DB} > E_{SB}$. При нулевом $DIBL$

$$E_{DB} = E_{SB} + qV_{DS},$$

так что

$$I_{RL} / I_{LR} = e^{-qV_{DS}/kT}.$$

В итоге

$$I_{DS} = I_{LR} (1 - e^{-qV_{DS}/kT}). \quad (9)$$

На вершине барьера есть два потока электронов — один поток движется направо, а другой — налево, с одной и той же кинетической энергией, стало быть, с одинаковыми скоростями v_T . Ток есть произведение заряда на скорость. В случае MOSFET электроны движутся в $2D$ -канале проводимости, так что нужно учитывать поверхностный заряд ($\text{К}/\text{см}^2$). Ток

$$I_{LR} = W \underline{Q}^+|_{x=0} v_T,$$

где $\underline{Q}^+|_{x=0}$ есть поверхностный заряд на вершине барьера, обязанный электронам, движущимся с положительными скоростями. Аналогично,

$$I_{RL} = W \underline{Q}^-|_{x=0} v_T,$$

так что суммарный заряд от обоих потоков

$$\underline{Q}|_{x=0} = \frac{I_{LR} + I_{RL}}{W v_T} = \frac{I_{LR}}{W v_T} (1 + e^{-qV_{DS}/kT}). \quad (10)$$

Отсюда находим ток I_{LR} , подставляем его в (9) и окончательно получаем ВАХ $I_{DS} \propto V_{DS}$ для баллистического MOSFET:

$$I_{DS} = W |\underline{Q}|_{x=0} v_T \frac{(1 - e^{-qV_{DS}/kT})}{(1 + e^{-qV_{DS}/kT})}. \quad (11)$$

Позже мы выведем уравнение (11) более строго, обсудим его ограничения и определим скорость v_T . Вместе с тем, поведение баллистической характеристики вполне объяснимо с позиций

простой модели термоэлектронной эмиссии для транзистора с контролируемым барьером.

Проанализируем уравнение (11) в условиях низких и высоких значений напряжения на стоке V_{DS} . Для низких значений V_{DS} разложение в ряд Тейлора экспонент даёт:

$$I_{DS} = W \left| \underline{Q} \right|_{x=0} \left| v_T \frac{V_{DS}}{2kT/q} \right| = G_{CH} V_{DS} = \frac{V_{DS}}{R_{CH}}, \quad (12)$$

где G_{CH} и R_{CH} есть проводимость и сопротивление канала транзистора. Уравнение (12) есть баллистический аналог линейной области на рис. 9.

Рассмотрим уравнение (11) в случае высоких значений V_{DS} в области насыщения (рис. 9). При этом $I_{RL} \ll I_{LR}$, и ток стока насыщается при $I_{DS} = I_{LR}$. В этом пределе $V_{DS} \gg kT/q$, и (11) упрощается до

$$I_{DS} = W \left| \underline{Q} \right|_{x=0} \left| v_T, \quad (13)$$

т.е. при высоких значениях V_{DS} ток не зависит от напряжения на стоке. Однако позже мы увидим, что *DIBL* вызывает рост заряда $\underline{Q}|_{x=0}$ с увеличением напряжения на стоке, так что ток не полностью насыщается при высоких значениях V_{DS} .

Теперь обратимся к передаточным характеристикам на рис. 11. Они представляют собой зависимости $I_{DS} \propto V_{GS}$ при фиксированных значениях V_{DS} . Пусть мы фиксировали напряжение на стоке высоким, так что ток даётся выражением (13). Зададимся вопросом: как изменяется заряд $\underline{Q}|_{x=0}$ с напряжением на стоке?

Для высоких значений V_{DS} ток $I_{RL} = 0$, так что из (10) следует, что

$$\left| \underline{Q} \right|_{x=0} = I_{LR} / (W v_T). \quad (14)$$

Ток I_{LR} вызывается термоэлектронной эмиссией истока в направлении канального барьера. Приложение напряжения на затворе понижает этот барьер:

$$I_{LR} \propto e^{-E_{SB}/kT} = e^{-(E_{SB}^0 - qV_{GS}/m)/kT}, \quad (15)$$

где E_{SB}^0 есть высота барьера при входе на него со стороны истока при нулевом потенциале на затворе ($V_{GS} = 0$), а $1/m$ есть доля потенциала на затворе, пробивающая диэлектрическую прокладку затвора. Из (15) и (14) следует, что

$$Q(V_{GS}) = \underline{Q}|_{V_{GS}=0} e^{qV_{GS}/mkT}. \quad (16)$$

Теперь из (16) и (13) следует, что ток растёт экспоненциально с увеличением напряжения на затворе:

$$I_{DS} = W \left| \underline{Q} \right|_{V_{GS}=0} \nu_T e^{qV_{GS}/mkT}. \quad (17)$$

Не сложно показать, что для увеличения тока в 10 раз (декада) напряжение на затворе нужно увеличить на $2,3mkT/q \geq 0,060$ В (при комнатной температуре). Этот допороговый разброс $SS \geq 60$ мВ/декада характерен для термоэлектронной эмиссии через барьер.

Итак, согласно (17), ток стока не зависит от напряжения на стоке, однако, в реальных устройствах наблюдается небольшой рост тока стока с увеличением V_{DS} , поскольку напряжение на стоке как бы помогает затвору уменьшить разницу между источником и канальным барьером (рис. 19).

Для объяснения эффекта *DIBL* потребуется учёт 2D-электростатики, чем мы займёмся позже.

Уравнение (17) показывает экспоненциальный рост $I_{DS} \propto V_{GS}$, наблюдаемый на рис. 11 ниже порога V_T , однако, выше порога ток не растёт экспоненциально, а увеличивается приблизительно линейно с ростом напряжения на затворе. Позже, при обсуждении электростатики MOS будет показано, что заряд (16) выше V_T растёт линейно с V_{GS} согласно уравнению

$$Q(V_{GS}, V_{DS}) = -C_{ox}(V_{GS} - V_T), \quad V_T = V_{T0} - \delta V_{DS}, \quad C_{ox} = \kappa_{ox} \varepsilon_0 / t_{ox}, \quad (18)$$

где C_{ox} — поверхностная ёмкость диэлектрической прокладки, обратно пропорциональная её толщине t_{ox} .

Итак, выходная характеристика баллистического транзистора MOSFET находит в целом достаточно простое объяснение с позиций простой модели термоэлектронной эмиссии с учётом контролируемого затвором барьера.

Вся физика транзистора сводится фактически к электростатике

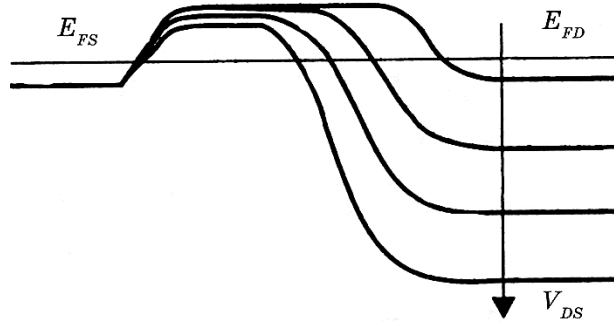


Рис. 19. Схематическая иллюстрация эффекта *DIBL*.¹⁹

и транспорту электронов. Что же касается инженерного дизайна транзисторов, то его роль критически возрастает по мере их миниатюризации.

Рисунок 20 может служить иллюстрацией ключевых принципов хорошего дизайна нанотранзисторов. Вершина барьера является критической точкой, которой соответствует начало канала проводимости и называемой далее виртуальным истоком. У качественного транзистора высота барьера строго контролируется напряжением на затворе и лишь исключительно слабо зависит от напряжения на стоке.

При низких V_{DS} и высоких V_{GS} потенциал в канале падает приблизительно линейно, так что электрическое поле приблизительно постоянное. При высоких напряжениях и на стоке и на затворе электрическое поле сильное и изменяется вдоль канала нелинейно. В самом начале канала (у вершины барьера) электрическое поле слабое, однако, вблизи стока поле очень сильное. В области насыщения увеличение напряжения на стоке усиливает падение потенциала на участке канала с сильным полем, однако, оставляет область вблизи вершины барьера почти неизменной (при небольшом значении $DIBL$). Поскольку именно область вблизи вершины барьера контролирует ток I_{DS} , то он в области насыщения менее чувствителен к напряжению на стоке.

Электроны, преодолевшие барьер (рис. 20), скатываясь вниз к стоку, приобретают значительную кинетическую энергию. Часть этой энергии тратится на электрон-фононное рассеяние, однако, в

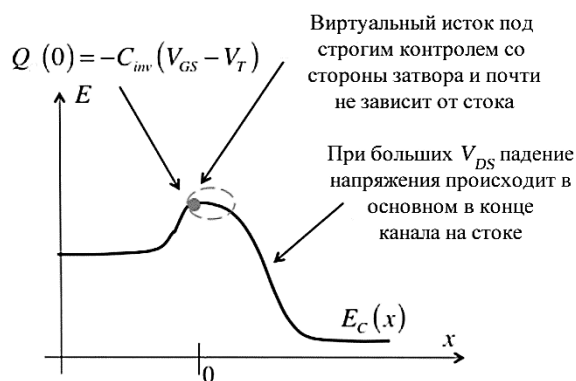


Рис. 20. Ход барьера качественно собранного нанотранзистора при больших напряжениях на затворе и на стоке. В таком нанотранзисторе заряд на вершине барьера весьма близок к значению, которое имеет место в транзисторе с длинным каналом проводимости, когда внешним электрическим полем можно пренебречь. В качественном нанотранзисторе внешнее поле низкое в начале канала проводимости и при высоких V_{DS} напряжение на стоке лишь незначительно влияет на область в районе вершины барьера.²⁰

случае нанотранзисторов у электронов недостаточно времени рассеять их энергию в ходе скатывания к стоку. В результате скорость электронов в нанотранзисторах очень велика в концевой части канала. Поскольку ток есть произведение заряда на скорость, то в области насыщения плотность электронов будет очень низкой при их высокой скорости. В классической теории MOS та часть канала, в которой падение потенциала велико, а плотность электронов мала, известна как область отсечки канала. В транзисторах с коротким каналом область отсечки может занимать значительную часть канала, однако, в хорошо электростатически сконструированных наноразмерных MOSFET всегда должна быть небольшая область вблизи истока, находящаяся практически под контролем затвора и характеризующаяся незначительным падением потенциала.

Транзистор с протяжённым каналом проводимости при высоких значениях напряжения как на затворе, так и на стоке показан на рис. 21. Сравнивая его с короткоканальным транзистором на рис. 20, видим, что под контролем затвора находится преобладающая часть канала, но всё же есть, пусть небольшая, область отсечки вблизи стока. Именно эта область отсечки при высоком напряжении на стоке вызывает насыщение тока. В области насыщения (за областью отсечки) ток в основном обусловлен транспортом электронов по низкополевой части канала вблизи истока, а наибольшее падение потенциала вдоль канала приходится на область с высоким электрическим полем вблизи стока. Как только электроны попали в

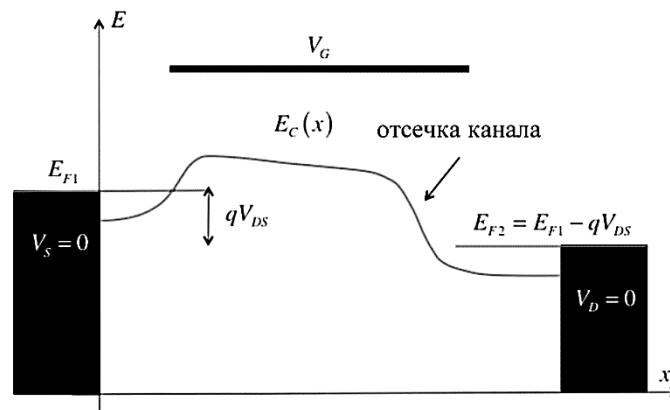


Рис. 21. Схематический ход $E_c(x)$ для транзистора с протяжённым каналом проводимости при высоких значениях напряжения как на затворе, так и на стоке. В этом случае низкое внешнее электрическое поле захватывает значительную часть канала проводимости и область отсечки канала незначительная. Дополнительное увеличение напряжения на стоке несколько увеличит область отсечки, протяжённость которой охватывает лишь небольшую часть длинного канала проводимости.²¹

область отсечки, они очень быстро уносятся в сток.

Итак, у качественно собранного нанотранзистора область вблизи вершины барьера находится под строгим контролем затвора и напряжение на затворе практически не должно влиять на эту область. Эта цель является глобальной задачей в дизайне нанотранзисторов, и она становится всё более актуальной по мере сближения стока и истока. Как только электроны перепрыгнули барьер (виртуального) истока, они направляются к стоку. Дизайн электростатики MOSFET бросает всё более серьёзный вызов по мере уменьшения канала проводимости, однако, физические принципы дизайна остаются прежними. Вместе с тем, физическая природа транспорта электронов существенно меняется по мере того как транзисторы становятся всё меньше и меньше. Физически корректное описание электронного транспорта в нанотранзисторах становится существенным моментом в инженерном дизайне MOSFET.

При обсуждении хода $E_c(x)|_{z=0}$ имелась в виду одномерная зонная структура MOSFET вдоль поверхности кремниевой подложки. Рисунок 22 может служить иллюстрацией 2D-зонной поверхности: а) сам n -MOSFET; б) это равновесное состояние с $V_s = V_d = 0$ и так подобранным напряжением на затворе, чтобы зоны были плоскими в направлении, перпендикулярном к траектории электронов от истока

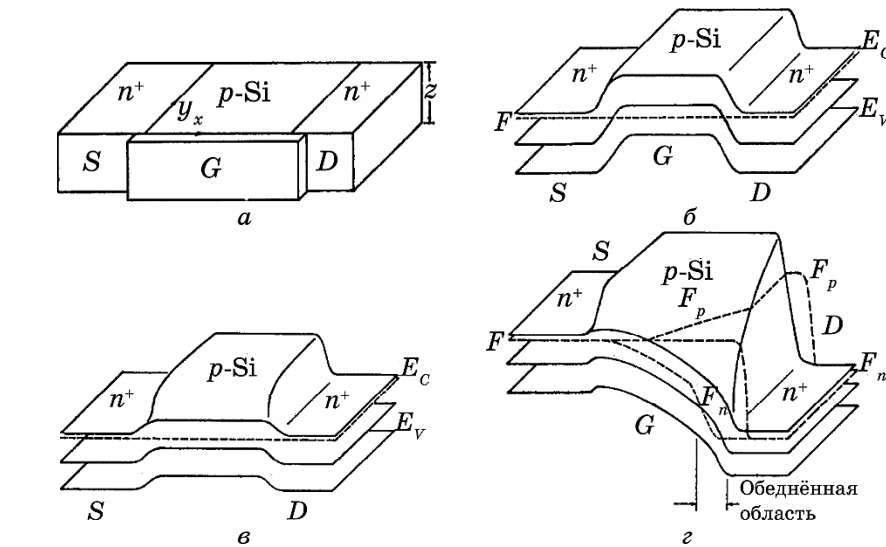


Рис. 22. 2D-зонная структура n -MOSFET: а) n -MOSFET; б) равновесная зонная диаграмма; в) зонная диаграмма с большим приложенным напряжением на затворе; г) зонная диаграмма с большим приложенным напряжением как на затворе, так на стоке [25].²²

к стоку; e) в этом случае приложено большое напряжение на затворе при $V_s = V_d = 0$, а $E_c(x, y)$ вдоль поверхности транзистора проецируется в прямую линию на рис. 14, z) теперь большое напряжение приложено и к затвору, и к стоку, а $E_c(x, y)$ вдоль поверхности транзистора проецируется в сплошную линию на рис. 15.

Обратим также внимание на то, что зонные диаграммы MOSFET подобны таковым для биполярных транзисторов [11, 20]. В обоих случаях ток контролируется высотой барьера [26]. Исток MOSFET аналогичен эмиттеру ВЛТ, канал MOSFET — базе, а сток — коллектору ВЛТ. Эта тесная аналогия окажется полезной для понимания физических принципов функционирования наноразмерных MOSFET.

Подведём итоги. Основное внимание в обзоре уделено полевым транзисторам с изолированным затвором типа MOSFET. Рассмотрены физическая структура MOSFET, вольт-амперные характеристики обоих типов — выходные и передаточные, подробно описаны 10 метрических показателей MOSFET, достаточных для анализа качества нанотранзисторов, обсуждены принципы управления полевыми транзисторами путём подачи потенциала на затвор, обращено внимание на существование исчезающего барьера на границе между истоком и каналом проводимости, получившего название виртуального истока, факт существования которого в конечном итоге привёл к разработке наиболее адекватного метода анализа работы нанотранзистров, известного как метод виртуального истока/прохождения, берущего своё начало ещё в пионерских работах Р. Ландауэра, а позже развитого С. Датта и М. Лундстромом. Обзор заканчивается изложением математической модели вольт-амперной характеристики MOSFET с привлечением простой модели термоэлектронной эмиссии, как основы для анализа и построения более совершенных моделей.

Далее будут рассмотрены модель MOSFET в традиционном изложении и начала модели виртуального истока, уравнение Пуассона–Больцмана и приближение истощения, критерии для слабой, умеренной и сильной инверсии, как связаны между собой поверхностный потенциал и напряжение на затворе, подвижный электронный заряд ниже и выше порогового напряжения, его роль в структурах с чрезвычайно тонкой КНИ-подложкой, эффекты учёта $2D$ -электростатики и сформулируем модель виртуального истока с позиций «сверху–вниз». В заключение будет построена адекватная физическая картина транспортных явлений в нанотранзисторах, исходя из концепции «снизу–вверх» Ландауэра–Датта–Лундстрома, и будет показана связь её с привычным традиционным подходом «сверху–вниз».

В основу настоящего обзора положены лекции Марка Лундстрома «Fundamentals of Nanotransistors» [18], прочитанные в 2016 го-

ду в рамках инициативы Purdue University/nanohub.org/u.

ЦИТИРОВАННАЯ ЛИТЕРАТУРА—REFERENCES

1. V. H. Ablitsov, *Galaktyka 'Ukrayina'. Ukrayinska Diaspora: Vydatni Postati* (Kyiv: KYT: 2007) (in Russian); В. Г. Аблицов, *Галактика «Україна». Українська діаспора: видатні постаті* (Київ: КИТ: 2007).
2. M. Riordan and L. Hoddeson, *Crystal Fire: The Birth of the Information Age* (New York: W. W. Norton&Co.: 1997).
3. Bo Lojek, *History of Semiconductor Engineering* (New York: Springer: 2007).
4. G. E. Moore, *Electronics Magazine*, April 19: 4 (1965).
5. M. Lundstrom, *Science*, **299**: 210 (2003).
6. S. R. Hofstein and F. P. Heiman, *Proc. IEEE*, 1190 (1963).
7. C. T. Sah, *IEEE Trans. Electron Dev.*, **11**: 324 (1964).
8. H. Shichman and D. A. Hodges, *IEEE J. Solid State Circuits*, **SC-3**: 285 (1968).
9. B. J. Sheu, D. L. Scharfetter, P.-K. Ko, and M.-C. Jeng, *IEEE J. Solid State Circuits*, **SC-22**: 558 (1987).
10. Y. Tsididis and C. McAndrew, *Operation and Modeling of the MOS Transistor* (New York: Oxford Univ. Press: 2011).
11. Y. Taur and T. Ning, *Fundamentals of Modern VLSI Devices* (New York: Oxford Univ. Press: 2013).
12. D. Frank, S. Laux, and M. Fischetti, *Intern. Electron Dev. Mtg.—IEDM Technical Digest*, December: 553 (1992).
13. Z. Ren, R. Venugopal, S. Goasguen, S. Datta, and M. S. Lundstrom, *IEEE Trans. Electron Dev.*, **50**: 1914 (2003).
14. R. Landauer, *IBM J. Res. Dev.*, **1**, No. 3: 223 (1957).
15. S. Datta, *Lessons from Nanoelectronics: A New Perspective on Transport* (Singapore: World Scientific: 2012).
16. Yu. A. Kruglyak, *Nanoehlektronika 'Snizu-Vverkh'* (Odessa: TES: 2015) (in Russian); Ю. А. Кругляк, *Нанозлектроника «снизу-вверх»* (Одесса: ТЭС: 2015).
17. S. Datta, *Lessons from Nanoelectronics: A New Perspective on Transport — Part B: Quantum Transport* (Singapore: World Scientific: 2018).
18. M. Lundstrom, *Fundamentals of Nanotransistors* (Singapore: World Scientific: 2018); www.nanohub.org/courses/NT.
19. K. K. Ng, *Complete Guide to Semiconductor Devices* (New York: Wiley Interscience: 2002).
20. R. F. Pierret, *Semiconductor Device Fundamentals* (New York: Addison-Wesley: 1996).
21. I. M. Vikulin and V. I. Stafeev, *Fizika Poluprovodnikovyykh Priborov* (Moscow: Radio i Svyaz': 1990) (in Russian); И. М. Викулин, В. И. Стафеев, *Физика полупроводниковых приборов* (Москва: Радио и связь: 1990).
22. M. Lundstrom and Z. Ren, *IEEE Trans. Electron Dev.*, **49**: 133 (2002).
23. Y. Naveh and K. K. Likharev, *IEEE Electron Device Lett.*, **21**: 242 (2000).
24. Z. Ren, R. Venugopal, S. Datta, M. Lundstrom, D. Jovanovic, and J. Fossum, *IEDM Technical Digest*, December: 715 (2000).

25. H. C. Pao and C. T. Sah, *Solid-State Electron.*, **9**: 927 (1966).
26. E. O. Johnson, *RCA Rev.*, **34**: 80 (1973).

*Odesa State Environment University,
15 Lvivska Str.,
UA-65016 Odesa, Ukraine*

¹ **Fig. 1.** Si-MOSFET. The left side shows the conventional in the English-language literature designation of the transistor with the interpretation of contacts—*S*/Source, *D*/Drain, *G*/Gate, and *B*/Body; the dashed line indicates the conduction channel. The microgram of the cross section of a MOSFET obtained by a scanning electron microscope (Texas Instruments, 1997) is shown at the right, where there are clearly visible all the contacts and dielectric layer isolating the gate *G* from the conduction channel.

² **Fig. 2.** *I*–*V* characteristics of *n*-MOSFET. The current flowing from the drain *D* to the source *S* is laid along the vertical axis, and the voltage between them is along the horizontal axis. Different characteristics correspond to different values of voltage on the gate *G*. Two important parts of the post-threshold region are shown: a linear region and a saturation region. The maximum voltage applied between the gate *G* and the drain *D* is the power supply voltage. A small leakage current in the subthreshold area on the linear region is not noticeable.

³ **Fig. 3.** *n*-Channel Si MOSFET: side view and top view. Schematically shows the source and drain contacts (black squares) and the gate (black rectangle).

⁴ **Fig. 4.** Comparison of *n*-MOSFET and *p*-MOSFET. Note that for *n*-MOSFET $V_{DS}, V_{GS} > 0$, and for *p*-MOSFET $V_{DS}, V_{GS} < 0$. The current I_D flows from *D* to *S* in the case of *n*-MOSFET and from *S* to *D* in the case of *p*-MOSFET.

⁵ **Fig. 5.** *n*-MOSFET connected in the common-source scheme. The input voltage is V_{GS} , and the output voltage is V_{DS} . The output current is I_{DS} , and the gate current is usually negligible; so, the input DC is assumed zero.

⁶ **Fig. 6.** *I*–*V* characteristic of an ideal resistor.

⁷ **Fig. 7.** *I*–*V* characteristic of the current source. When the current is independent on the voltage, its value is constant (dotted line). In real current sources, its dependence on voltage is observed, which is equivalent to including the resistor in parallel with the current source.

⁸ **Fig. 8.** Comparison of the output *I*–*V*-curves of the *n*-MOSFET connected in the common-source circuit (on the left) with the transfer characteristics of the same transistor (on the right). The graph labelled V_{DS1} on the transfer *I*–*V* characteristics corresponds to a small value V_{DS} at the output *I*–*V*-curves on the left, and the labelled V_{DS2} value corresponds to a large value V_{DS} .

⁹ **Fig. 9.** The output characteristics of the *n*-MOSFET connected in the common-source scheme, with the demonstration of the above four metrics: I_{ON} , R_{ON} , r_d , g_m .

¹⁰ **Fig. 10.** The transfer characteristics of the *n*-MOSFET connected in the common-source scheme, with the demonstration of the above three metrics: I_{OFF} , $V_T(\text{lin})$, $V_T(\text{sat})$.

¹¹ **Fig. 11.** The transfer characteristics of the *n*-MOSFET connected in the common-source scheme, with the demonstration of the above two more metrics *SS* and *DIBL*. The drain current I_{DS} in this figure is plotted in a logarithmic scale.

¹² **Fig. 12.** The *n*-MOSFET cross-section and the coordinate system used for the graphical representation of energy as a function of the point coordinates when moving from the source along the conduction channel to the drain. The *z*-axis is directed deep into the image along the width of the conduction channel *W*.

¹³ **Fig. 13.** One-dimensional zone diagrams in a state of equilibrium. At the top, the energy levels of the separated source and drain of *n*-type (E_C —the energy of the bottom of the conduction band) and the *p*-type conduction channel (E_v —the energy of the valence-band ceiling) are plotted. Below, a one-dimensional flow of energy in a state of equilibrium is plotted when all three regions of the transistor are connected and $V_S = V_G = V_D = 0$.

¹⁴ **Fig. 14.** The band structure of the n -MOSFET in the equilibrium state when a voltage closed to zero (dashed curve) and a significant voltage (solid curve) are applied to the gate. The voltage applied to the gate does not disturb the balance, since the gate terminal is isolated from the conduction channel.

¹⁵ **Fig. 15.** The change in the dependence $E_c(x)$ along the conduction channel of the n -MOSFET when the voltage is applied to the drain and to the gate: the dashed line corresponds to a large value V_D and a small value V_G , and the solid line to large ones V_D and V_G .

¹⁶ **Fig. 16.** Modelling of the function $E_c(x)$ for nanotransistors. A small voltage is applied to the drain: the transistor operates in a linear mode. Each of the graphs corresponds to a certain value V_{GS} , the value of which increases from the top down [22].

¹⁷ **Fig. 17.** Modelling of the function $E_c(x)$ for nanotransistors. A large voltage is applied to the drain: the transistor operates in the saturation region. Each of the graphs corresponds to a certain value V_{GS} , the value of which increases from the top down [22]. We will discuss the pinched-off area later.

¹⁸ **Fig. 18.** Modelling of the function $E_c(x)$ for nanotransistors: (a) $V_{DS} = 0.05$ V, $V_{GS} \equiv 0.0 \Leftrightarrow 0.6$ V (Fig. 16); (б) $V_{DS} = 0.6$ V, $V_{GS} \equiv 0.0 \Leftrightarrow 0.6$ V (Fig. 17); (в) $V_{DS} = 0.05$ V, $V_{DS} \equiv 0.0 \Leftrightarrow 0.6$ V; (г) $V_{GS} = 0.6$ V, $V_{DS} \equiv 0.0 \Leftrightarrow 0.6$ V [22].

¹⁹ **Fig. 19.** Schematic illustration of the *DIBL* effect.

²⁰ **Fig. 20.** The profile of the barrier of a qualitatively assembled nanotransistor at high voltages on the gate and on the drain. In such a nanotransistor, the charge at the top of the barrier is very close to the value that occurs in a transistor with a long conduction channel, when the external electric field can be neglected. In a quality nanotransistor, the external field is low at the beginning of the conduction channel and, at high drain voltage V_{DS} , only slightly affects the region near the top of the barrier.

²¹ **Fig. 21.** A schematic profile of $E_c(x)$ for a transistor with an extended conduction channel at high voltage values both on the gate and on the drain. In this case, a low external electric field captures a significant part of the conduction channel and the channel pinch-off region is insignificant. An additional increase in the voltage at the drain will slightly increase the pinch-off area, the extent of which covers only a small part of the long conduction channel.

²² **Fig. 22.** 2D-band structure of n -MOSFET: a) n -MOSFET; б) the equilibrium band diagram; в) zone diagram with a large applied voltage on the gate; г) a band diagram with a large applied voltage both on the gate and on the drain [25].